

PRESS RELEASE

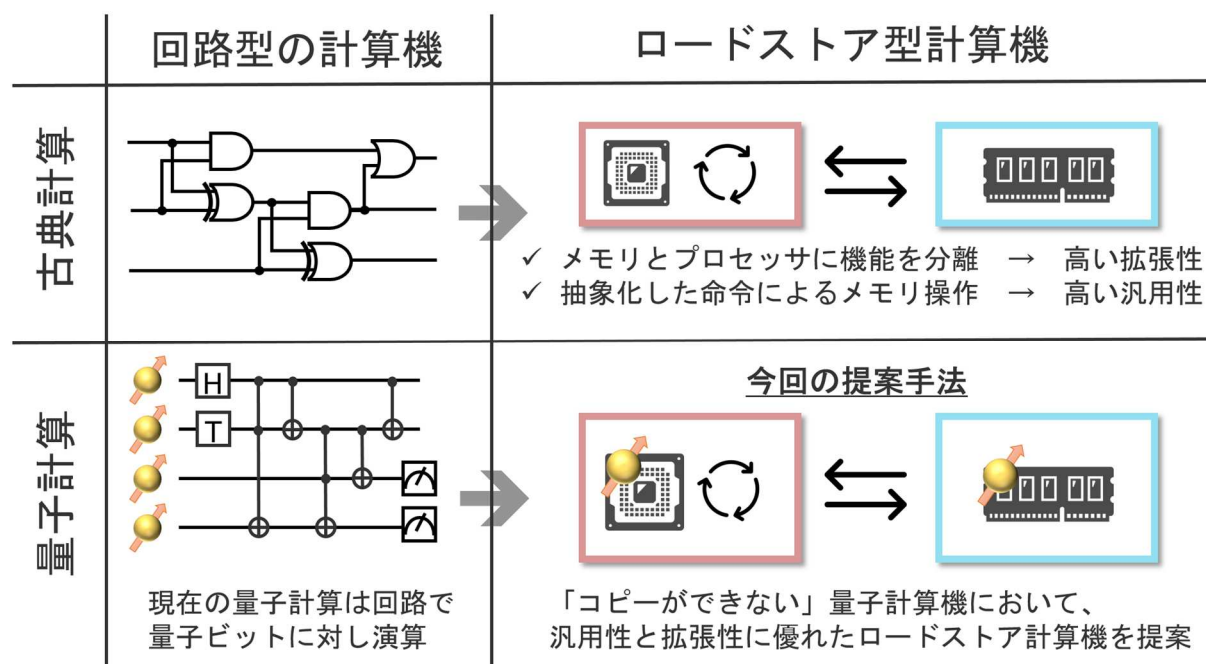
2025年3月4日
 東京大学
 日本電信電話株式会社
 理化学研究所
 九州大学
 科学技術振興機構 (JST)

メモリとプロセッサを分離した 新たな量子コンピュータのアーキテクチャを提案

——移植性の優れた高メモリ効率な設計で実用的な量子計算への道を切り拓く——

発表のポイント

- ◆ 「コピーできない」という量子力学の制約のもとでメモリとプロセッサの役割を再定義し、汎用性と移植性に優れたロードストア型誤り耐性量子コンピュータの設計を新たに提案。
- ◆ 実用的な量子計算において、従来の量子コンピュータと比較して計算時間の増加を約3%に軽減しつつ、必要なハードウェアの規模を約40%削減できることを示した。
- ◆ 本成果は発展の初期段階である量子計算機アーキテクチャ研究や、量子誤り耐性計算機の早期実用化に向けた開発に貢献すると期待される。



研究の位置付け

本研究ではロードストア型の量子計算アーキテクチャを提案した。

概要

東京大学大学院理学系研究科の小堀拓生大学院生（当時日本電信電話インターン生）と藤堂眞治教授、日本電信電話株式会社の鈴木泰成研究員と徳永裕己研究員、理化学研究所量子コンピュータ研究センターの上野洋典基礎科学特別研究員、そして九州大学大学院システム情報科学研究所の谷本輝夫准教授らによる研究グループは、従来の計算機の基本設計であるロードス

トア型計算機の考え方を量子計算機に適用した、新たな誤り耐性量子計算（注 1）のアーキテクチャ（注 2）を提案しました。本技術は、プログラムの高い移植性（他の環境への移行のしやすさ）と高効率な量子ハードウェアの活用を可能とするものであり、有用な量子計算の早期実現を加速することが期待されます。

本成果は、2025 年 3 月 1 日から開催されている The 31st IEEE International Symposium on High-Performance Computer Architecture（HPCA2025）で発表されます。

発表内容

1. 研究背景

従来の量子コンピュータは、量子回路型と呼ばれる方式で設計されてきました。この方式では全ての量子的なデータが計算可能なレジスタ領域（記憶装置）に保持され、プログラムは量子回路と呼ばれる論理回路のような形式で表現され、それに従い実行されます。こうした方式には直感的に理解しやすいなどの利点はあるものの、デバイスのどの場所にデータを保存していても任意の基本演算を可能にしつつ計算機を拡張する必要があるため、コンピュータ自体のサイズが大きくなってしまいう課題がありました。またこの方式の計算機では、プログラムが計算機を構成するデバイスのサイズや誤り訂正方式に特化して最適化されるため、計算機的设计が少しでも変化すると、実行ファイルの計算機間での移植が困難になるという問題もありました。

例えば、誤り耐性量子計算として主流な方式である二次元的に並べられた量子ビットを用いて計算を行う方式では、図 1 のように表面符号と呼ばれる量子誤り訂正符号（注 3）で符号化されたブロックをデータの単位として計算を行います。この際、量子回路型の演算方式に基づいて、全ての符号ブロックで任意の計算を行えるようにするには、データを保持するセル（青色セル）ごとに計算を補助するための追加の符号ブロック（白色セル）を隣接させる必要があります。この補助的なセルはデータ保持に用いることができないため、量子計算機のハードウェア資源のうち、実際にメモリに利用される割合は典型的には 44%、高いものでも 67%が限界でした。この実効的なメモリ利用率の低さは、デバイスの大規模化が技術的に困難な量子計算機の開発における主要な障害の一つでした。

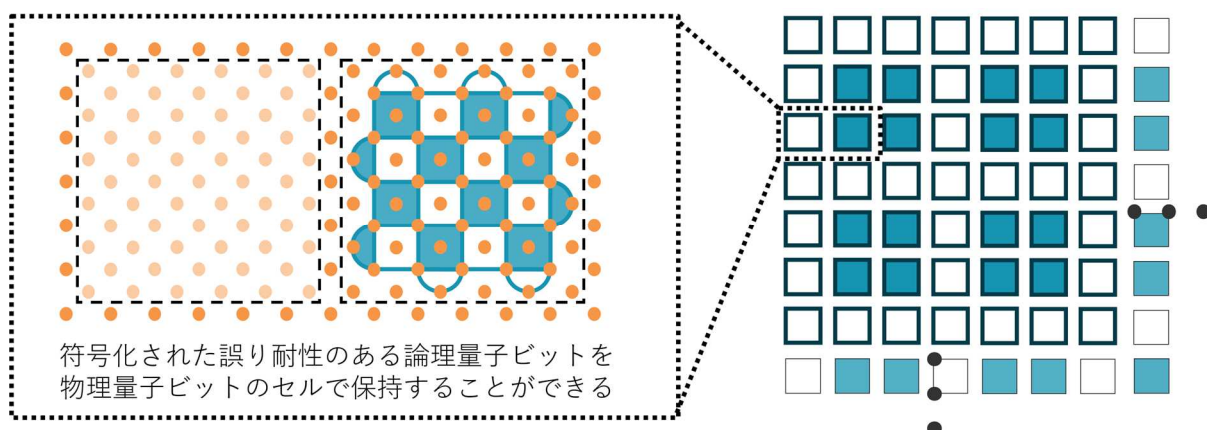


図 1 表面符号の誤り耐性計算の概念図と従来設計の一例

図左：橙丸は物理的な量子ビットであり、一つのセルは通常数百程度の量子ビットによって構成される。図は表面符号での実装例で、白や青色の半円や矩形はエラーの検査パターンを表す。

図右：青色セルが論理的な量子ビット、白色セルがその演算のために割り当てられた補助的なセルを表現している。ここではメモリ効率を青色セル数の全セル数に対する割合で測る。図の設計指針のメモリ効率は44%である。

2. 技術のポイント

本研究グループは、メモリ利用率の低さや移植性の低さといった現代の量子計算機が抱える問題を解決するロードストア型の量子計算機アーキテクチャを提案しました。ロードストア型のアーキテクチャとは、計算機をメモリとプロセッサに分けてデータをやり取りしながら計算を行う方式で、現代のコンピュータで標準的に用いられているアーキテクチャです。この方式ではデータの移動は「ロード」と「ストア」という二つの抽象化された命令でやり取りされるため、具体的なプロセッサやメモリのデバイス構造に依存しない移植性の高い形でプログラムを構築できます。また、メモリはデータを保持する機能しか要求されないため高いメモリ利用率を実現することが出来ます。

本研究では東京大学と日本電信電話株式会社 (NTT) がロードストア型のアーキテクチャを導入する枠組みの提案と性能の数値的な評価を、九州大学と理化学研究所が計算機システムとしてロードストア型の機能や命令セットの整備と評価手法の緻密化を担当する形で共同研究を行いました。

3. 研究の概要

本研究では従来の計算機で用いられてきたロードストア型のアーキテクチャの設計思想を応用し、実用的な量子計算に必要な量子ハードウェアの資源が大幅に削減可能で汎用性と移植性に優れた新たな量子計算機アーキテクチャを提案しました。ロードストア型計算機は従来の計算機設計でよく知られている考え方ですが、本研究ではこの考え方を量子計算機の特長や制約を踏まえながら量子計算機的设计に適用することで、図2に示されるように有効なロードストア型の量子計算機が構築可能であることを示しました。

今回提案したロードストア型の量子計算アーキテクチャでは、メモリ効率の高い大規模な記憶領域と、メモリ効率は低く小規模だが任意の基本演算が可能な演算領域を組合せて計算を行います。この際、記憶領域と演算領域間でデータを移動する操作は、ロードとストアという抽象化された命令で統一的に表され、利用する符号やハードウェア設計が変わってもそのまま活用できる高い移植性を実現しています。量子計算でのデータの移動にはクローン禁止定理（注4）といった量子情報特有の根本的な性質や、利用する量子デバイスや誤り訂正方式に特有の技術的な制約があるため、効率的に上記のような設計が可能かは明らかではありませんでした。本件では新たな量子メモリ方式を提案することで、漸近的には100%のメモリ効率が、実用的なケースでも約90%のメモリ効率が達成できることを示しました。

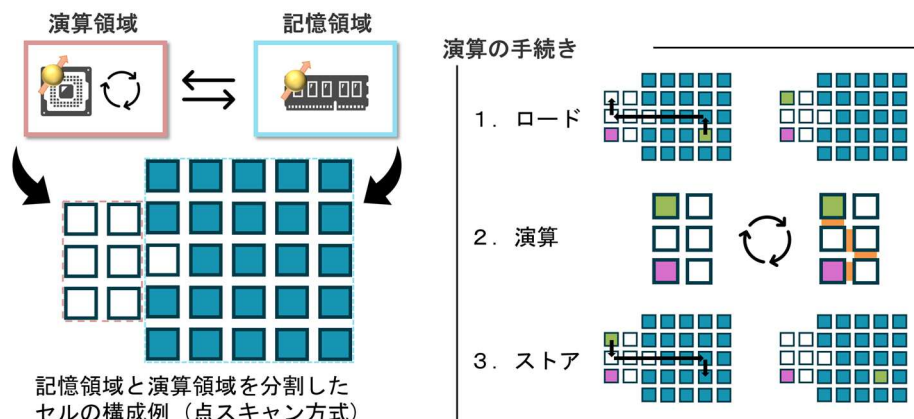


図2 提案手法の全体概要

図左：本成果で提案した量子メモリ方式によるセル配置の一例。図1の従来設計と比べ、白色セル（演算のために割り当てられた補助的なセル）の割合が低く、青色セル（データを保持するセル）の割合が高くなっており、メモリ効率が非常に高い。左側の白色のセル領域が演算領域、右側の青色セルに占められた領域が記憶領域に相当する。

図右：本成果で提案する演算フロー。この方式ではプログラムは抽象化されたデータの移動と演算のみを指示するため、記憶領域で利用する符号やハードウェアが変化しても実行可能となる。

1. ロード 右側の記憶領域に保持された目的のセル（緑色セル）を所定の論理操作で演算領域に移動する。
2. 演算 演算領域にあるセルを補助的なセル（白色セル）や事前にロードされた別のセル（紫色セル）を用いて演算を行う。
3. ストア 演算が完了したセルを記憶領域に戻す。

ロードストア型の計算を採用すると、記憶領域と演算領域のメモリ帯域（注5）が限られていることによる計算時間の増加が懸念されます。従来の計算機では、プログラムが持つメモリアクセスの局所性（注6）を活用したキャッシュ構造や、通信時間を他の演算と被せることで、通信遅延を隠ぺいする仕組みでこうした問題を解決しています。本研究では代表的な量子プログラムを量子コンピュータが実行可能な形式に翻訳し、そのメモリアクセスパターンの解析を行うことで、量子計算機でも通常の計算機と同じくメモリアクセスに局所性があることを初めて見いだしました。これを踏まえ、実効的なメモリ通信帯域を改善するキャッシュに類似したテクニックを提案するとともに、通信時間を他の演算操作と被せてアクセス遅延を隠ぺいする機構を構築することで、計算機の全領域で演算が行える計算機と比べた際の計算時間の増加を3%程度まで低減することに成功しました（図3）。従って、ロードストア型量子計算は小さな計算時間の増加で高いメモリ効率と移植性を同時に実現できる優れた設計だと言えます。

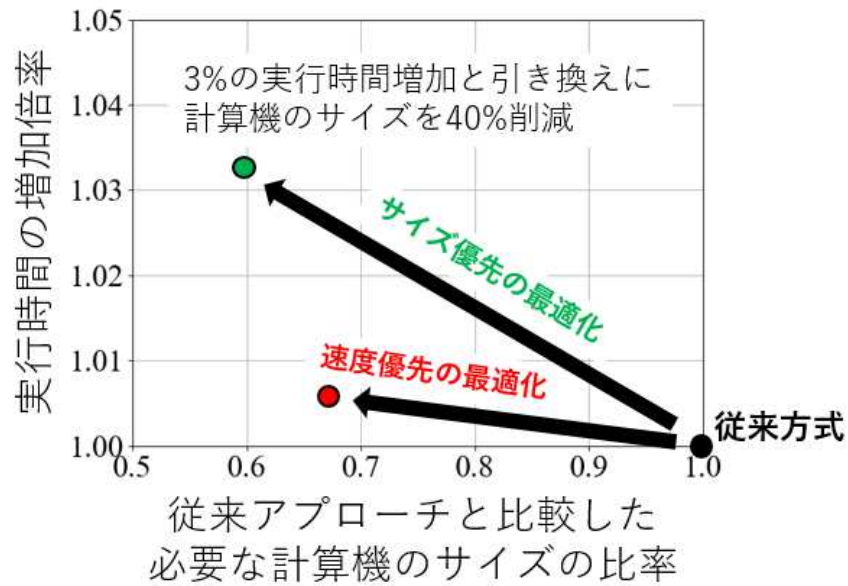


図3 提案手法による性能改善

図は二つの設定で最適化した際の量子計算機の要求性能を表す。

赤色の点：速度優先で最適化した結果。実行時間増加を 1%以下に抑えながら計算機のサイズを約 30%削減。

緑色の点：サイズ優先で最適化した結果。実行時間の増加は 3%になるが、計算機のサイズを約 40%削減可能。

4. 今後の展開

本研究成果は、高い効率での量子ハードウェアの活用を実現するものであり、量子計算の実用化を大きく加速させると期待されます。また、本提案が持つ高いプログラムの移植性は、低レイヤにおけるハードウェアや誤り訂正方式の発展と、プログラミング言語やコンパイル最適化（プログラムの実行時間、使用するメモリ量、消費電力などを最小化すること）など高レイヤにおける技術発展の間の互換性を吸収する役割を持つため、大規模な量子計算機開発における並行した先端研究の推進を可能にします。

本研究は、従来の計算機アーキテクチャ分野におけるロードストア型やキャッシュなどの考え方が、量子コンピュータ分野においても有効であることを示したという点でも意義があります。本研究を契機に、計算機アーキテクチャと量子計算機分野を横断した新たな研究開発が活発に進められ、実用的な量子計算の基礎的な設計指針の確立に向けた研究のさらなる推進が期待されます。

発表者・研究者等情報

東京大学大学院理学系研究科 物理学専攻

小堀 拓生 大学院生（当時日本電信電話インターン生）

藤堂 眞治 教授

日本電信電話株式会社

鈴木 泰成 准特別研究員

徳永 裕己 特別研究員

理化学研究所 量子コンピュータ研究センター 超伝導量子計算システム研究ユニット
上野 洋典 基礎科学特別研究員

九州大学大学院システム情報科学研究院
谷本 輝夫 准教授

論文情報

会議名： The 31st IEEE International Symposium on High-Performance Computer Architecture (HPCA2025)

題名： LSQCA: Resource-Efficient Load/Store Architecture for Limited-Scale Fault-Tolerant Quantum Computing

著者名： Takumi Kobori*, Yasunari Suzuki*, Yosuke Ueno, Teruo Tanimoto, Synge Todo, Yuuki Tokunaga (*責任著者)

注意事項（解禁情報）

日本時間 3 月 4 日 午前 8 時（米国太平洋時間：3 日 15 時）以前の公表は禁じられています。

研究助成

本研究は、科学技術振興機構（JST）ムーンショット型研究開発事業「ムーンショット目標 6 「2050 年までに、経済・産業・安全保障を飛躍的に発展させる誤り耐性型汎用量子コンピュータを実現」（プログラム ディレクター：北川 勝浩 大阪大学 量子情報・量子生命研究センターセンター長）、研究開発プロジェクト「誤り耐性型量子コンピュータにおける理論・ソフトウェアの研究開発」（プロジェクトマネージャー（PM）：小芦 雅斗 東京大学大学院工学系研究科 教授）（JPMJMS2061）、「超伝導量子回路の集積化技術の開発」（プロジェクトマネージャー（PM）：山本 剛 日本電気株式会社 セキュアシステムプラットフォーム研究所 主席研究員）（JPMJMS2067）、「スケーラブルで強靱な統合的量子通信システム」（プロジェクトマネージャー（PM）：永山 翔太 慶應義塾大学、大学院政策・メディア研究科 特任准教授）（JPMJMS226C）、JST 戦略的創造研究推進事業 個人型研究（さきがけ）「革新的な量子情報処理技術基盤の創出」研究領域（研究総括：富田 章久）における研究課題「信頼性を持つ量子コンピュータ・アーキテクチャの研究」（JPMJPR2015）、JST 戦略的創造研究推進事業 チーム型研究（CREST）「量子・古典の異分野融合による共創型フロンティアの開拓」研究領域（研究総括：井元 信之）における研究課題「分散量子コンピューティングの共創的マルチレイヤー設計とその実装」（JPMJCR23I4）、「古典計算との協調利用による誤り耐性量子計算機の利用方法の開拓」（JPMJCR24I4）、JST 共創の場形成支援プログラム「量子ソフトウェアと HPC・シミュレーション技術の共創によるサステナブル AI 研究拠点」（JPMJPF2221）、JST 次世代研究者挑戦的研究プログラム（SPRING）「グリーントランスフォーメーション（GX）を先導する高度人材育成」（JPMJSP2108）、文部科学省 光・量子飛躍フラッグシッププログラム（Q-LEAP）（JPMXS0120319794, JPMXS0118068682）、科学研究費助成事業（22H05000, 22K17868, 24K02915）、による支援を受けて行われました。

小芦雅斗 PM コメント

大規模な誤り耐性量子コンピュータの実現に向けた理論研究からの貢献の一つは、基礎研究からの積み上げによる、汎用性と拡張性の両面に優れた量子コンピュータのアーキテクチャの提示である。本研究は、現代の従来型コンピュータの仕組みと量子力学の特性や性質を踏まえて量子コンピュータの構成を見つめなおし、量子コンピュータのメモリとプロセッサの機能を再定義することで、そのような優れたアーキテクチャを提案するものである。この成果は目覚ま

しい発展が続く量子計算の分野において理論と実装のギャップを繋ぐカギとなるものであるとともに、多様な背景を持つ研究者がチームとして取り組むことで得られた本プロジェクトならではの賜物と言える。

山本剛 PM コメント

誤り耐性量子コンピュータの実現方法として、表面符号が現状最も研究開発が進んでいる誤り訂正方式である。しかしながら、この方式では非常に多数の物理量子ビットが必要になるため、量子加速を実現する規模の計算機の実装可能性における大きな課題であった。本研究はこの課題に対して、表面符号が備える理論的性質とコンピュータ設計の知見を活用した量子コンピュータ版のロード・ストア・アーキテクチャを提案することで、量子計算の性能を損なうことなく要求物理量子ビット数を半減させて解決を図るものである。これはムーンショット型研究内プロジェクト間連携による異分野融合の成果であり、大規模誤り耐性量子計算の実現に向けた大きな進展であると言える。

永山翔太 PM コメント

誤り耐性量子コンピュータを早期に実現するにあたり、必要なハードウェア資源量を削減することは極めて重要である。本研究は、表面符号自体やハードウェアへの要求仕様の変更なしに、表面符号の性質をコンピュータ設計の観点から活用し実行時間を大幅に増加させずに量子ビット数を最大で半減させる量子コンピュータ・アーキテクチャを提案するものである。実装を前提とした量子計算のリソース推定における前提を更新する成果であるといえ、大きなインパクトを持つ。多様なバックグラウンドを持つ研究者が集うムーンショット型研究ならではの取り組みであり、さらなる発展的議論が期待される。

用語解説

(注1) 誤り耐性量子計算

量子ビットへのノイズによるエラーが計算中に生じないように、エラーを修正しながら計算をすることができる量子計算のこと。実用的な量子計算を行うためには不可欠な技術である。

(注2) (計算機)アーキテクチャ

計算機の構成要素を決めて、どのように動くことで計算が行われるかを定める計算機の基礎となる設計思想のこと。

(注3) 量子誤り訂正符号

誤り耐性量子計算のためにエラーを検出、修正するための技術。少数の論理的な量子ビットを多数の物理的な量子ビットによって冗長に表現することで、物理的な量子ビットにある程度のエラーが生じても論理的な量子ビットの冗長な表現によって、そのエラーを検出・訂正することができる。

(注4) クローン禁止定理

任意の量子状態を複製するような量子操作が原理的に不可能であることを示した量子計算の基本的な定理のこと。

(注5) メモリ帯域

プロセッサとメモリの間で一定時間に通信可能なデータ量を表す指標のこと。

(注6) (メモリアクセスの)局所性

プログラムを実行する際にデータのアクセスパターンに偏りが生じること。より具体的には、一度参照されたデータは短期間に再度アクセスされる傾向を指す時間的局所性、参照された

データと近いメモリアドレスのデータが参照される傾向を指す空間的局所性という2種類がある。典型的なプログラムは局所性があるため、キャッシュ構造などによってうまく活用することでデータアクセスの高速化を実現する。

問合せ先

日本電信電話株式会社 サービスイノベーション総合研究所 広報担当

問い合わせフォーム

<https://tools.group.ntt/jp/rd/contact/index.php?param01=P¶m02=203>